

N

CLIPPEDIMAGE= JP363308329A

PAT-NO: JP363308329A

D CUMENT-IDENTIFIER: JP 63308329 A

TITLE: SEALING METHOD FOR SEMICONDUCTOR DEVICE

PUBN-DATE: December 15, 1988

INVENTOR-INFORMATION:

NAME

TANAKA, HIROSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

N/A

APPL-NO: JP62145826

APPL-DATE: June 10, 1987

INT-CL (IPC): H01L021/56

US-CL-CURRENT: 438/FOR.343,438/614

ABSTRACT:

PURPOSE: To eliminate a bump for stopping the electrode exposure face of a sealing die and to easily work and manufacture the die itself by separably adhering a protective member to the electrode exposure face, and sealing it except at the adhering part of the member.

C NSTITUTION: A protective member 17 is separably adhered to a predetermined face of each electrode 12 to be exposed after sealing, and a die bond pad 13 for fixedly supporting a semiconductor chip 11 is disposed at a predetermined position including the cavity of a sealing lower die 15. The pad 13 is so held at its peripheral end as to enclose the chip 11 to be set by a sealing upper die 14. Then, molten sealing material is introduced from a runner 16 into the cavities of the dies 14, 15, conducted through a predetermined process, and a sealing material 17 is then solidified. Thus, bumps for stopping the electrode exposure faces of the molds are eliminated, and the working and manufacturing of the dies themselves are facilitated.

C PYRIGHT: (C)1988,JPO&Japio

DERWENT-ACC-N : 1989-035426

DERWENT-WEEK: 198905

C PYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Method for sealing semiconductor device with resin - includes exposing electrode of semiconductor chips during sealing which is carried out by mounting chips into seal die NoAbstract dwg 2,3/3

PATENT-ASSIGNEE: MITSUBISHI DENKI KK[MITQ]

PRIORITY-DATA: 1987JP-0145826 (June 10, 1987)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 63308329 A	December 15, 1988	N/A	009	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP63308329A	N/A	1987JP-0145826	June 10, 1987

INT-CL (IPC): H01L021/56

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS:

**METHOD SEAL SEMICONDUCTOR DEVICE RESIN EXPOSE ELECTRODE SEMICONDUCTOR CHIP SEAL
CARRY MOUNT CHIP SEAL DIE NOABSTRACT**

DERWENT-CLASS: A85 L03 U11

CPI-CODES: A12-E04; A12-E07C; L04-C20A;

EPI-CODES: U11-D01A3; U11-D01A9; U11-E02A1;

⑫ 公開特許公報(A)

昭63-308329

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)12月15日

H 01 L 21/56

T-6835-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の封止方法

⑯ 特 願 昭62-145826

⑰ 出 願 昭62(1987)6月10日

⑱ 発 明 者 田 中 博 司 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の封止方法

2. 特許請求の範囲

(1) 表面上に電極を形成した半導体チップを有し、この半導体チップの電極面の一部もしくは全部を外部に露出させた状態で封止成形する半導体装置の封止方法であつて、封止後に露出される電極面の一部もしくは全部に対し、保護部材を剥離可能に付着させた状態で、半導体チップを封止金型内に装荷させ、封止部材により保護部材の付着部分を除いて封止させたのち、保護部材を剥離させることを特徴とする半導体装置の封止方法。

(2) 保護部材が弾性材であることを特徴とする特許請求の範囲第1項に記載の半導体装置の封止方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置の封止方法に関し、さらに詳しくは、表面上に電極を形成した半導体チ

ップを有し、この半導体チップの電極の一部もしくは全部を外部に露出させた状態で、樹脂などの封止材料により封止成形して構成する半導体装置の封止方法の改良に係るものである。

(従来技術)

従来例によるこの種の半導体装置の封止方法を第3図に示す。

すなわち、この第3図において、符号1は表面上に電極2を形成した半導体チップ、3はこの半導体チップ1を固定支持するダイボンダッドであり、また、4はキャビティの内面部に電極2の露出面を押止する突出部4aを形成した封止成形用の上金型、5は封止成形用の下金型、6はこれらの両金型の何れか一方、ここでは下金型5に形成されて、キャビティ内に溶融された封止材料を導入するランナー部、7は固化された封止材料である。

しかして、この従来例装置における封止手順としては、まず、半導体チップ1を固定支持したダイボンダッド3を、封止成形用下金型5のキャ

ビティ内を含む所定位置に配設させると共に、封止成形用上金型4により、半導体チップ1を内包するようにしてダイボンドパッド3の周端部を挟み込むと共に、そのキャビティ内面部に突出形成した突出部4aによつて、半導体チップ1の電極2面の側面に露出される一部、もしくは全部を押止させ、この状態で、ランナー部8からキャビティ内に溶融された封止材料7を導入し、所定のプロセスを経た後、封止材料7を固化させて、目的とする半導体チップ1の封止を完了するのである。

そしてこの場合、突出部4aで押止された電極2面には、封止材料7が廻らず、このために同電極2面が、固化された封止材料7面から露出されることになる。

〔発明が解決しようとする問題点〕

しかしながら、このようにして構成される従来の封止型半導体装置の場合には、封止成形用上金型4の突出部4aによる半導体チップ1の電極2面の押止が、所定圧で完全になされていないと、同電極2面に封止材料7の薄い膜が形成されること

に露出される電極面の一部もしくは全部に対し、保護部材を剝離可能に付着させた状態で、この半導体チップを封止金型内に装著させ、これを封止部材により保護部材の付着部分を除いて封止させたのち、保護部材を剝離させるようにしたものである。

〔作 用〕

すなわち、この発明においては、半導体チップの電極露出面に保護部材を剝離可能に付着させ、この状態のまゝでその保護部材の付着部分を除いて封止させるようにしたから、封止金型に関しては、従来のように電極露出面を押止する突出部を必要とせず、金型自体の加工製造が極めて容易になり、かつどのような電極の配置パターンにも共通に適用でき、また、半導体装置に関しては、露出される電極面に封止材料が流れ込む恐れを解消し得るのである。

〔実施例〕

以下、この発明に係る半導体装置の封止方法の実施例につき、第1図および第2図を参照して詳

があつて支障を生じ、また、封止に適用する上、下金型3,4についても、特に上金型4のキャビティ内面部に、突出部4aを形成するのは、周知のように金型加工上、極めて困難であり、しかも半導体チップ1での電極2の配置パターンが異なるものについて、それぞれに各別の金型を用意しなければならず、高価な金型を多数必要とし、電極2の配置パターンが変る度毎に行なう必要のある封止機に対する金型の取替え交換も容易でないなどの種々の問題点を有するものであつた。

従つて、この発明の目的とするところは、従来例装置でのこのような問題点に鑑み、金型自体の加工製造が容易であつて、電極の配置パターンが異なるものについても共通の金型を使用でき、また、露出される電極面に封止材料が流れ込む恐れのない、この種の半導体装置の封止方法を提供することである。

〔問題点を解決するための手段〕

前記目的を達成させるために、この発明に係る半導体装置の封止方法は、半導体チップの封止後

に説明する。

第1図および第2図はこの発明方法の各別の実施例を適用した封止状態を示すそれぞれ断面図である。

すなわち、これらの第1図、第2図に示す各実施例においても、符号11は封止対象となる半導体チップであつて、表面部上には、適宜に所定位置を占めて電極12が形成されると共に、ダイボンドパッド13上に固定支持されている。また、14および15は前記半導体チップ11を封止する封止成形用上金型および下金型であり、その接合面内には、所期のキャビティを有し、かつこのキャビティ内に溶融された封止材料を導入するランナー部16を形成してある。さらに、17は前記半導体チップ11の封止後に露出される所定の電極12面の一部もしくは全部に対して剝離可能に付着させる保護部材である。なお、18は固化された封止材料である。

しかして、これらの各実施例装置における封止手順としては、第1図実施例の場合、まず、半導

体チップ11での封止後に露出される所定の電極12面の一部もしくは全部に対し、その各電極12毎にそれぞれ各別に保護部材17を剝離可能に付着させておき、その後、半導体チップ11を固定支持したダイボンドパッド13を、封止成形用下金型15のキャビティ内を含む所定位置に配設させると共に、封止成形用上金型14により、半導体チップ11を内包するようにしてダイボンドパッド13の両端部を挟み込んでセットする。従つて、このようにセットされた状態では、電極12の露出される面に付着された保護部材17が、この場合、上金型14の対応するキャビティ内面に当接されることになる。

ついで、ランナー部18から上下両金型14,15のキャビティ内に溶融された封止材料を導入し、所定のプロセスを経た後、封止材料17を固化させることにより、目的とする半導体チップ11の封止を完了するのである。そして、このように半導体チップ11を封止すると、封止材料17の表面には、保護部材17で覆われた電極12が現われ、この保護部材17を剝離させることで、同部分に該当する電極

12が所期通り外部に露出されるのである。

また、第2図実施例の場合には、各電極12に共通に保護部材17を付着させ、かつ同保護部材17側を下向きにして上、下金型14,15間のキャビティ内を含む所定位置に配設させ、前例と同様に封止させるもので、こゝでも同様な作用、効果が得られる。

なお、前記各実施例においては、共に一研究の半導体チップを例々に封止させる場合について述べたが、それぞれに独立した複数の半導体チップを同時に封止させる場合、また、各半導体チップに跨つて保護部材を共通使用する場合のそれぞれについても適用でき、同様な作用、効果が得られることは勿論である。

〔発明の効果〕

以上詳述したように、この発明方法によれば、半導体チップの封止後に露出される電極面の一部もしくは全部に対して、保護部材を剝離可能に付着させた状態で、これを封止金型内に装着させ、封止部材により保護部材の付着部分を除いて封止

させたのち、保護部材を剝離させるようにしたから、封止金型に従来のような電極露出面を押止する突出部を必要とせず、従つて、金型自体の加工製造が極めて容易になると共に、しかも一つの金型をどのような配置パターンの電極をもつ半導体チップの封止にも共通に適用できて、電極配置パターンにそれぞれに対応した封止金型を個別に準備しなくて済み、また、封止される半導体チップについても、その露出される電極面に封止材料が流れ込む恐れがなく、この種の半導体装置に対する封止を容易かつ適確に行ない得るなどの優れた特徴を有するものである。

4. 図面の簡単な説明

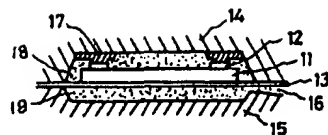
第1図および第2図はこの発明に係る半導体装置の封止方法の各別の実施例を適用した封止状態を示すそれぞれ要部断面図であり、また、第3図は従来例方法による同上封止状態を示す要部断面図である。

11……半導体チップ、12……半導体チップの電極、13……ダイボンドパッド、14……上金型、15

……下金型、18……金型のランナー部、17……保護部材、18……封止材料。

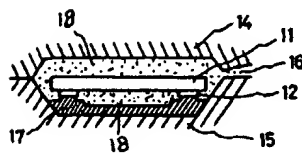
代理人 大 岩 増 雄

第1図



- | | |
|----------------|---------------|
| 11 : 半導体チップ | 15 : 下金型 |
| 12 : 半導体チップの電極 | 16 : 金型のランナー部 |
| 13 : ギャングバッド | 17 : 保護部材 |
| 14 : 上金型 | 18 : 封止材料 |

第2図



第3図

